

Plano Analítico: Sistemas Digitais

1. Identificação da Unidade Curricular

- **Curso:** Engenharia de Redes e Telecomunicações (ERT)
- **Ano:** 3º | **Semestre:** 1º
- **Créditos:** 8.0 UC
- **Carga Horária Total:** 120 Horas
- **Distribuição:**
 - **Teóricas (T):** 30h
 - **Teórico-Práticas (TP):** 30h
 - **Práticas/Laboratório (P):** 30h
 - **Trabalho Autónomo (TA):** 22h
 - **Orientação e Tutoria (OT):** 4h
 - **Avaliação (AV):** 4h

1. Fundamentação

Com 8 UC, a disciplina de Sistemas Digitais torna-se um dos pilares de hardware do curso. Ela não se limita apenas à lógica combinatória, mas foca na criação de sistemas complexos e processadores customizados. Para o engenheiro de ERT, é crucial entender como a lógica programável (**FPGA**) pode ser usada para acelerar o processamento de pacotes e implementar protocolos de camada física diretamente em hardware, garantindo velocidades que o software sozinho não alcança.

2. Objectivos Instrutivos e Educativos

- **Instrutivos:** Sintetizar máquinas de estados finitos (FSM) de alta complexidade; dominar avançadamente linguagens de descrição de hardware (**VHDL**); projetar unidades de processamento (CPU simples); explorar a arquitetura de dispositivos lógicos programáveis complexos (CPLD/FPGA).
- **Educativos:** Desenvolver competências de design sistemático e modular; fomentar a persistência na depuração de hardware (*debug*) e promover a otimização de recursos (área vs. velocidade).

3. Resultado de Aprendizagem

O estudante será capaz de:

- Projetar e implementar sistemas digitais completos em placas de desenvolvimento FPGA.
- Escrever código VHDL robusto, sintetizável e testável através de *testbenches*.
- Compreender e projetar a interface entre hardware digital e periféricos de comunicação.

- Analisar temporização (*timing*) e caminhos críticos em circuitos digitais de alta frequência.

4. Planeamento Temático (8 UC)

Tema	Horas (T+TP+P)	Conteúdo Programático
I. Síntese de Máquinas de Estados	15h	Máquinas de Mealy e Moore; Codificação de estados (Binary, One-hot); Decomposição de máquinas complexas.
II. VHDL Avançado	25h	Bibliotecas e Packages; Componentes e Generics; Modelação estrutural vs. comportamental; Máquinas de estado em VHDL.
III. Arquitetura de FPGAs	15h	Blocos lógicos configuráveis (CLBs); Memória interna; DSP slices; PLLs e gestão de relógio (Clock).
IV. Design de Processadores	20h	Unidade de Controlo e Caminho de Dados (Datapath); Conjunto de Instruções (ISA); Implementação de uma CPU simples (MIPS-like).
V. Interfaces e Sistemas em Chip	15h	Protocolos de barramento; Interfaces de memória; Introdução ao SoC (System on Chip) e Soft-processors (ex: Nios II ou MicroBlaze).

5. Recomendações Metodológicas

- **Laboratório Intensivo (30h):** O aluno deve passar pelo ciclo completo: descrição em VHDL, simulação funcional, síntese e teste em hardware real usando placas Altera/Intel ou Xilinx.
- **Projeto Integrador:** Desenvolvimento de um periférico de comunicação (ex: um controlador Ethernet simples ou um codificador/descodificador de sinais).
- **Uso de IP Cores:** Ensinar como integrar blocos de hardware pré-existentes para acelerar o design de sistemas complexos.

6. Sistema de Avaliação

Conforme a alocação de **4h para AV**:

- **Avaliação Contínua (50%):** Projeto de design de um sistema processador em FPGA (30%) e mini-testes laboratoriais de VHDL (20%).
- **Avaliação Formal (50%):** Exame final focado na síntese de sistemas complexos e análise de arquiteturas digitais.

7. Bibliografia Principal Indicada

1. **PEDRONI, Volnei A.** *Circuit Design and Simulation with VHDL*. MIT Press.
2. **HARRIS, David & HARRIS, Sarah.** *Digital Design and Computer Architecture*. Morgan Kaufmann.
3. **BROWN, Stephen & VRANESIC, Zvonko.** *Fundamentals of Digital Logic with VHDL Design*. McGraw-Hill.